

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0038977  
Application Number

출원년월일 : 2002년 07월 05일  
Date of Application JUL 05, 2002

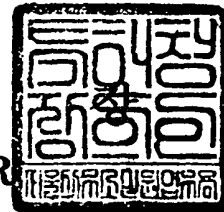
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      06      월      09      일

특      허      청

COMMISSIONER



	<b>【서지사항】</b>
<b>【서류명】</b>	서지사항 보정서
<b>【수신처】</b>	특허청장
<b>【제출일자】</b>	2003.05.29
<b>【제출인】</b>	
<b>【명칭】</b>	주식회사 하이닉스반도체
<b>【출원인코드】</b>	1-1998-004569-8
<b>【사건과의 관계】</b>	출원인
<b>【대리인】</b>	
<b>【명칭】</b>	특허법인 신성
<b>【대리인코드】</b>	9-2000-100004-8
<b>【지정된변리사】</b>	변리사 정지원, 변리사 원석희, 변리사 박해천
<b>【포괄위임등록번호】</b>	2000-049307-2
<b>【사건의 표시】</b>	
<b>【출원번호】</b>	10-2002-0038977
<b>【출원일자】</b>	2002.07.05
<b>【심사청구일자】</b>	2003.03.19
<b>【발명의 명칭】</b>	반도체소자의 티타늄막 형성방법 및 배리어금속막 형성방법
<b>【제출원인】</b>	
<b>【접수번호】</b>	1-1-2002-0215419-64
<b>【접수일자】</b>	2002.07.05
<b>【보정할 서류】</b>	특허출원서
<b>【보정할 사항】</b>	
<b>【보정대상항목】</b>	발명자
<b>【보정방법】</b>	정정
<b>【보정내용】</b>	
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이윤직
<b>【성명의 영문표기】</b>	LEE, Yoon Jik
<b>【주민등록번호】</b>	700528-1058310
<b>【우편번호】</b>	467-860

【주소】	경기도 이천시 부발읍 신하3리 진우아파트 102-703
【국적】	KR
【발명자】	
【성명의 국문표기】	이인행
【성명의 영문표기】	LEE, In Haeng
【주민등록번호】	680306-1068513
【우편번호】	135-271
【주소】	서울특별시 강남구 도곡1동 삼성생명사원아파트 5-507
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	0 원
【합계】	0 원

**【서지사항】**

**【서류명】** 명세서 등 보정서  
**【수신처】** 특허청장  
**【제출일자】** 2003.03.19  
**【제출인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【사건과의 관계】** 출원인  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【사건의 표시】**  
**【출원번호】** 10-2002-0038977  
**【출원일자】** 2002.07.05  
**【심사청구일자】** 2003.03.19  
**【발명의 명칭】** 반도체소자의 티타늄막 형성방법 및 배리어금속막 형성방법  
**【제출원인】**  
**【접수번호】** 1-1-02-0215419-64  
**【접수일자】** 2002.07.05  
**【보정할 서류】** 명세서등  
**【보정할 사항】**  
**【보정대상항목】** 별지와 같음  
**【보정방법】** 별지와 같음  
**【보정내용】** 별지와 같음  
**【취지】** 특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)

**【수수료】****【보정료】** 0 원**【추가심사청구료】** 0 원**【기타 수수료】** 0 원**【합계】** 0 원**【첨부서류】**

1. 보정내용을 증명하는 서류[발명의상세한설명 보정]\_1통

【보정대상항목】 요약

【보정방법】 정정

【보정내용】

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 화학기상증착 방식을 이용한 Ti막의 증착시 실리콘 기판의 손실을 방지하기에 적합한 반도체소자의 Ti막 형성방법 및 반도체소자의 배리어금속막 형성방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 실리콘층 상에  $TiCl_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성함에 있어서, 상기 Ti막과 상기 실리콘층 사이에 Cl 가스에 의한 상기 실리콘층의 어택 방지를 위한 전도성의 어택방지막을 형성하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법을 제공한다.

또한, 본 발명은, 활성영역을 갖는 실리콘 기판 상의 절연막을 선택적으로 식각하여 상기 활성영역을 노출시키는 콘택홀을 형성하는 단계; 상기 노출된 활성영역 상에 후속 Ti막 형성에 따른 상기 실리콘 기판의 어택 방지를 위해 전도성의 어택방지막을 형성하는 단계; 상기 어택방지막이 형성된 프로파일을 따라  $TiCl_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성하는 단계; 및 상기 Ti막 상에 TiN막을 형성하는 단계를 포함하는 반도체소자의 배리어금속막 형성방법을 제공한다.

【보정대상항목】 식별번호 1

【보정방법】 정정

【보정내용】

도 1은 종래기술에 따른 배리어금속막 및 텅스텐박막을 이용한 배선 형성이 완료된 상태를 도시한 공정 단면도.

【보정대상항목】 식별번호 10

【보정방법】 정정

【보정내용】

29 : TiN막      30 : TiSi<sub>2</sub>막

【보정대상항목】 식별번호 14

【보정방법】 정정

【보정내용】

한편, 반도체소자는 점점 미세화(Down sizing)되면서 콘택 사이즈는 감소하면서 콘택 깊이는 증가하는 추세이며, 기존의 물리기상증착(Physical Vapor Deposition; 이하 PVD라 함)방식에 의한 배리어금속막 형성으로는 단차피복성(Step coverage)이 열악하여 콘택 저면(Contact bottom)에서의 충분한 Ti막을 얻을 수 없다.

이로 인해 Ti의 실리사이드인 TiSi<sub>2</sub>의 형성이 제대로 이루어지지 못해 콘택저항(Contact resistance)이 증가하게 된다. 이러한 조건에서 콘택저항을 개선하기 위해 PVD방식으로 Ti의 두께를 증가시키면 콘택홀(Contact hole) 입구에

서 오버-행(Over-hang)이 발생하는 바, 이는 후속 CVD방식에 의한 텅스텐(W) 등의 증착시 갭-필(Gap-fill)을 방해한다.

【보정대상항목】 식별번호 16

【보정방법】 정정

【보정내용】

도 1은 종래기술에 따른 배리어금속막 및 텅스텐박막을 이용한 배선 형성이 완료된 상태를 도시한 공정 단면도이다.

【보정대상항목】 식별번호 18

【보정방법】 정정

【보정내용】

게이트전극 패턴에 접하는 실리콘 기판(10)에 이온주입 등에 의한 소스/드레인 접합 등의 활성영역(11)이 형성되어 있으며, 절연막(16)을 관통하여 활성영역(11)에 콘택된 Ti막 또는 Ti/TiN막의 배리어금속막(17)과 W막 등의 금속막으로 이루어진 금속배선(19)이 형성되어 있다.

【보정대상항목】 식별번호 19

【보정방법】 정정

【보정내용】

Ti를 포함하는 배리어금속막(17)과 실리콘 기판(10)의 접촉 계면에서는 오믹콘택(Ohmic contact)을 위해 Ti와 실리콘의 반응에 의한 형성된  $TiSi_2$  등의 금속 실리사이드(18)가 형성되어 있다.



【보정대상항목】 식별번호 20

【보정방법】 정정

【보정내용】

한편, CVD방식에 의해 배리어금속막(17) 즉, Ti막을 형성하게 되면  $TiSi_2$  금속 실리사이드(18)형성시 실리콘 기판의 손실이 기존의 PVD방식에 의한 경우보다 상당히 크게 나타난다. 이는  $TiSi_2$  형성시 소모되는 실리콘 기판의 손실외에 Ti막 형성시의 소스가스인  $TiCl_4$ 에 함유된 Cl에 의한 실리콘 기판(10)의 손실이 크기 때문이다.

이러한 실리콘 기판의 손실은 도시된 'A'와 같이 소스/드레인 접합 등의 활성영역(11) 깊이의 감소를 가져오게 되며, 결국 활성영역(11)에서 실리콘 기판(10)으로의 누설전류(Leakage current)를 유발하는 바, 반도체소자의 특성을 열화시킨다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 화학기상증착 방식을 이용한 Ti막의 증착시 실리콘 기판의 손실을 방지하기에 적합한 반도체소자의 Ti막 형성방법 및 반도체소자의 배리어금속막 형성방법을 제공하는데 그 목적이 있다.

【보정대상항목】 식별번호 28

【보정방법】 정정

【보정내용】

도 4a 내지 도 4b는 본 발명의 일실시예에 따른 반도체소자의 Ti막 및 Ti막을 포함하는 배리어금속막 형성 공정을 도시한 단면도이며, 이를 참조하여 상세히 살펴본다.

【보정대상항목】 식별번호 41

【보정방법】 정정

【보정내용】

이어서, 노출된 활성영역(25)에만 선택적으로 어택방지막(27)을 형성하는바, 어택방지막(27)은 실리콘 또는 Ti를 포함하며 도전성이고 증착 특성이 우수한 폴리실리콘막 또는 TiN막을 사용하는 것이 바람직하다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

이러한 Cl기를 제거하는 방법으로는, 첫번째로는 H<sub>2</sub>가스를 이용한 환원공정을 실시하여 제거하는 방법과, 두번째로는 실리콘과 Cl이 반응하여 결합된 SiCl의 결합에너지(Bonding energy)보다 큰 자외선(Ultra Violet light)을 조사하여 Cl과 실리콘을 결합을 끊어서 제거하는 방법 등이 있다.

【보정대상항목】 식별번호 58

【보정방법】 정정

【보정내용】

전술한 바와 같이 이루어지는 본 발명은,  $TiCl_4$  가스를 이용한 Ti막 형성 공정에서의 단점을 보완하기 위해 Ti막 증착 전에 콘택홀 저면에만 선택적으로 폴리실리콘막 또는 TiN막의 어택방지막을 형성함으로써,  $TiCl_4$  소스가스를 이용한 Ti막 형성 공정에서의 실리콘 기판의 손실을 대체하도록 함으로써 반도체소자의 동작과 수율을 향상시킬 수 있다.

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0015
【제출일자】	2002.07.05
【발명의 명칭】	반도체소자의 티타늄막 형성방법 및 배리어금속막 형성방법
【발명의 영문명칭】	METHOD FOR FORMING Ti LAYER AND BARRIER METAL LAYER OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김한민
【성명의 영문표기】	KIM,Han Min
【주민등록번호】	630103-1047010
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 아미리 현대3차아파트 301-601
【국적】	KR
【발명자】	
【성명의 국문표기】	이윤직
【성명의 영문표기】	LEE,Yoon Jik
【주민등록번호】	700528-1058310
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 신하3리 진우아파트 102-703
【국적】	KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 34,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체소자 제조방법에 관한 것으로, 특히 화학기상증착 방식을 이용한 Ti막의 증착시 실리콘 기판의 손실을 방지하기에 적합한 반도체소자 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 실리콘층 상에  $TiCl_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성함에 있어서, 상기 Ti막과 상기 실리콘층 사이에 Cl 가스에 의한 상기 실리콘층의 어택 방지를 위한 전도성의 어택방지막을 형성하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법을 제공한다.

또한, 본 발명은, 활성영역을 갖는 실리콘 기판 상의 절연막을 선택적으로 식각하여 상기 활성영역을 노출시키는 콘택홀을 형성하는 단계; 상기 노출된 활성영역 상에 후속 Ti막 형성에 따른 상기 실리콘 기판의 어택 방지를 위해 전도성의 어택방지막을 형성하는 단계; 상기 어택방지막이 형성된 프로파일을 따라  $TiCl_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성하는 단계; 및 상기 Ti막 상에 TiN막을 형성하는 단계를 포함하는 반도체소자의 배리어금속막 형성방법을 제공한다.

**【대표도】**

도 4b

**【색인어】**배리어금속막, Ti막, TiN막, 어택방지막,  $TiCl_4$ .

**【명세서】****【발명의 명칭】**

반도체소자의 티타늄막 형성방법 및 배리어금속막 형성방법{METHOD FOR FORMING Ti LAYER AND BARRIER METAL LAYER OF SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 배리어금속막 및 텅스텐박막을 이용한 배선 형성 공정을 도시한 단면도.

도 2는 Ti막 증착 후 표면을 도시한 SEM사진.

도 3은 Ti막 증착 후 단면 SEM사진.

도 4a 내지 도 4b는 본 발명의 일실시예에 따른 반도체소자의 Ti막 및 이를 포함하는 배리어금속막 형성 공정을 도시한 단면도.

\* 도면의 주요부분에 대한 부호의 설명 \*

20 : 실리콘기판      21 : 게이트절연막

22 : 게이트전극      23 : 하드마스크

24 ; 스페이서      25 : 활성영역

26 : 절연막      28 : Ti막

29 : TiN막      30 : TiSi

31 : 금속배선

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체소자 제조방법에 관한 것으로 특히,  $TiCl_4$  가스를 이용한 화학기상증착(Chemical Vapor Deposition; 이하 CVD라 함)방식의 풍부한 Ti(Ti-rich) 분위기에서의 TiN 박막을 이용한 실리콘 기판의 손실 감소 방법에 관한 것이다.
- <13> Al 등의 금속배선 물질의 증착전에 활성영역 예컨대, N형 또는 P형의 소스/드레인 접합과 Al이 접촉되는 콘택에서의 접합 스파이킹(Junction spiking)을 방지하기 위해 방벽역할을 하기위해 Ti/TiN 등의 배리어금속(Barrier metal)을 사용하였다.
- <14> 한편, 반도체소자는 점점 미세화(Down sizing)되면서 콘택 사이즈의 감소 및 콘택 깊이는 증가하는 추세이며, 기존의 물리기상증착(Physical Vapor Deposition; 이하 PVD라 함)방식에 의한 배리어금속막 형성으로는 단차피복성(Step coverage)이 열악하여 콘택 저면(Contact bottom)에서의 충분한 Ti막을 얻을 수 없다. 이러한 경우  $TiSi_2$ 의 형성이 제대로 이루어지지 못해 콘택저항(Contact resistance)이 증가하게 된다. 이러한 조건에서 콘택저항을 개선하기 위해 PVD방식으로 Ti의 두께를 증가시키면 콘택홀(Contact hole) 입구에서 오버-행(Over-hang)이 발생하는 바, 이는 후속 CVD방식에 의한 텅스텐(W) 등의 증착시 갭-필(Gap-fill)을 방해한다.
- <15> 이에 반해, CVD방식은 단차피복성이 PVD에 비해 뛰어나기 때문에 종횡비(Aspect ratio)가 큰 콘택에 대해서도 콘택 프로파일을 유지하면서 콘택 저면에 일정량 이상의



Ti막을 확보할 수 있다. 한편, CVD에 의한 Ti막의 형성시에는 소스가스로  $\text{TiCl}_4$  가스를 사용한다.

<16> 도 1은 종래기술에 따른 배리어금속막 및 텅스텐박막을 이용한 배선 형성 공정을 도시한 단면도이다.

<17> 도 1을 참조하면, 실리콘 기판(10)에 게이트산화막(12)과 게이트전도막(13)과 게이트 하드마스크(14)가 적층된 구조의 게이트전극 패턴이 형성되어 있다. 게이트전극 패턴 측벽에는 식각에 따른 게이트전극 패턴의 어택을 방지하며 산화막 계열의 층간절연막과의 식각선택비를 확보하기 위한 질화막 계열의 스페이서(15)가 형성되어 있다.

<18> 게이트전극 패턴에 접하는 실리콘 기판(10)에 이온주입 등에 의한 소스/드레인 접합 등의 활성영역(11)이 형성되어 있으며, 절연막(16)을 관통하여 활성영역(11)에 콘택된 Ti막 또는 Ti/TiN막의 배리어금속막(17)과 W 등의 금속배선(19)이 형성되어 있다.

<19> Ti를 포함하는 배리어금속막(17)과 실리콘 기판(10)의 접촉 계면에서는 오믹콘택(Ohmic contact)을 위해 Ti와 실리콘의 반응에 의한  $\text{TiSi}_2$  등의 금속 실리사이드(18)가 형성되어 있다.

<20> 한편, CVD방식에 의해 배리어금속막(17) 즉, Ti막을 형성하게 되면  $\text{TiSi}_2$  금속 실리사이드(18)형성시 실리콘 기판의 손실이 기존의 PVD방식에 의한 경우보다 상당히 크게 나타난다. 이는  $\text{TiSi}_2$  형성시 소모되는 실리콘 기판의 손실외에 소스가스인  $\text{TiCl}_4$ 에 함유된 Cl에 의한 실리콘 기판(10)의 손실이 크기 때문이다. 이러한 실리콘 기판의 손실은 도시된 'A'와 같이 소스/드레인 접합 등의 활성영역(11) 깊이의 감소를 가져오게 되며,

결국 활성영역(11)에서 실리콘 기판(10)으로의 누설전류(Leakage current)를 유발하는 바, 반도체소자의 특성을 열화시킨다.

<21> 도 2는 Ti막 증착 후 표면을 도시한 SEM사진이며, 도 3은 단면 SEM사진이다.

<22> 도 2 및 도 3을 참조하면, 실리콘 기판(10)의 Cl에 의한 손실로 인해 Ti막(17)의 표면이 도시된 'B'와 같이 거칠어져 있음을 확인할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 화학기상 증착 방식을 이용한 Ti막의 증착시 실리콘 기판의 손실을 방지하기에 적합한 반도체소자 제조방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<24> 상기의 목적을 달성하기 위해 본 발명은, 실리콘층 상에  $TiCl_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성함에 있어서, 상기 Ti막과 상기 실리콘층 사이에 Cl 가스에 의한 상기 실리콘층의 어택 방지를 위한 전도성의 어택방지막을 형성하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법을 제공한다.

<25> 또한, 상기의 목적을 달성하기 위해 본 발명은, 활성영역을 갖는 실리콘 기판 상의 절연막을 선택적으로 식각하여 상기 활성영역을 노출시키는 콘택홀을 형성하는 단계; 상기 노출된 활성영역 상에 후속 Ti막 형성에 따른 상기 실리콘 기판의 어택 방지를 위해 전도성의 어택방지막을 형성하는 단계; 상기 어택방지막이 형성된 프로파일을 따라

TiCl<sub>4</sub> 소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성하는 단계; 및 상기 Ti막 상에 TiN막을 형성하는 단계를 포함하는 반도체소자의 배리어금속막 형성방법을 제공한다.

- <26> 본 발명은 TiCl<sub>4</sub> 소스 가스를 이용한 CVD 방식으로 Ti를 증착할 때, Ti와 실리콘의 반응 뿐만아니라 소스 가스에 함유된 Cl에 의한 실리콘의 높은 식각 특성에 따라 발생하는 실리콘의 손실을 방지하기 위해 실리콘 또는 Ti를 포함하며 도전성이고 증착 특성이 우수한 폴리실리콘막 또는 TiN막 등의 실리콘 어택방지막을 형성함으로써, 화학기상 증착 방식을 이용한 Ti막 증착에 따른 실리콘 기판의 어택을 방지하고자 한다.
- <27> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 상세히 후술한다.
- <28> 도 4a 내지 도 4b는 본 발명의 일실시예에 따른 반도체소자의 Ti막 및 이를 포함하는 배리어금속막 형성 공정을 도시한 단면도이며, 이를 참조하여 상세히 살펴본다.
- <29> 먼저, 반도체 소자를 이루기 위한 여러 요소가 형성된 실리콘 기판(20) 상에 이웃하며, 그 상부에 하드마스크(23)를 구비하는 다수의 도전패턴 예컨대, 게이트전극 패턴을 형성한다.
- <30> 구체적으로, 실리콘 기판(20)과 접하는 계면에 산화막계열의 게이트절연막(21)과 폴리실리콘, 텅스텐, 텅스텐 실리사이드 또는 텅스텐질화막 등을 단독 또는 적층하여 게

이트전극(22)을 형성하고, 텅스텐, 텅스텐 실리사이드, 텅스텐질화막 또는 질화막을 이용하여 하드마스크(23)를 형성한다.

<31> 전술한 하드마스크(23) 및 게이트전극(22)의 형성은 통상적으로 전술한 각각을 이루는 물질을 적층한 다음, 게이트전극 마스크를 이용한 사진식각 공정을 통해 형성한다.

<32> 게이트전극 패턴을 따라 질화막을 증착하고 전면식각을 통해 게이트전극 패턴 측벽에 스페이서(24)를 형성한다. 스페이서(24)는 이온주입에 의한 LDD(Low Doped Drain) 구조를 이루며, SAC 공정시 산화막계열의 절연막과 식각선택비를 확보하고, 식각에 따른 게이트전극 패턴의 손실을 방지하기 위한 것이다.

<33> 이어서, 이온주입 마스크를 형성하고 이온주입 예컨대,  $\text{BF}_2$  이온주입을 통해 게이트전극 패턴에 정렬되도록 실리콘 기판(20)에 P형의 소스/드레인 접합 등의 활성영역(25)을 형성한다.

<34> 계속해서, 게이트전극 패턴 사이를 충분히 채울 수 있을 정도로 BPSG막, APL막, HDP산화막 또는 HSQ등을 단독 또는 적층하여  $2000\text{\AA} \sim 10000\text{\AA}$ 의 두께로 절연막(26)을 형성한 다음, CMP 또는 전면식각을 통해 절연막(26)을 평탄화시켜 후속 포토리소그래피 공정에서의 마진을 확보한다.

<35> 이어서, T형 또는 I형 마스크를 이용하여 절연막(26) 상에 SAC 공정을 위한 포토레지스트 패턴(도시하지 않음)을 형성한 다음, 포토레지스트 패턴을 식각마스크로 절연막(26)을 선택적으로 식각하여 게이트전극 패턴 사이의 기판(20) 구체적으로, 활성영역(25)을 노출시키는 콘택홀(도시하지 않음)을 형성한다.

- <36> 한편, 전술한 절연막(26) 식각시에는 통상의 SAC 공정시 사용하는 불소계플라즈마 예컨대,  $C_2F_4$ ,  $C_2F_6$ ,  $C_3F_8$ ,  $C_4F_6$ ,  $C_5F_8$  또는  $C_6F_6$  등의  $C_xF_y$ ( $x, y$ 는 1 ~ 10)를 주시각가스로 하며, 여기에 SAC 공정시 폴리머를 발생시키기 위한 가스 즉,  $CH_2F_2$ ,  $C_3HF_5$  또는  $CHF_3$  등의 가스를 첨가하며, 이 때 캐리어 가스로 He, Ne, Ar 또는 Xe 등의 비활성 가스를 사용한다.
- <37> 따라서, 게이트 하드마스크 상층부 보호를 통해 하드마스크의 손상을 최소화할 수 있는 SAC 공정의 식각 프로파일을 얻을 수 있다. 이어서, 포토레지스트 스트립 공정을 실시하여 포토레지스트 패턴을 제거한 다음, 세정 공정을 실시하여 식각 잔류물을 제거한다.
- <38> 이어서, Ti막과 TiN막을 증착하여 Ti/TiN 구조의 배리어금속막과 Ti와 실리콘 기판과의 열반응에 의한 Ti 실리사이드 예컨대,  $TiSi_2$ 를 실리콘 기판과 배리어금속막의 오믹 콘택을 위해 실리콘 기판과 배리어금속막 사이에 형성하는 일련의 배리어금속막 형성 공정을 진행하는 바, 본 발명은 Ti막의 형성에 있어서, 실리콘 기판의 어택 방지를 위해 어택방지막을 형성한다.
- <39> 이를 구체적으로 살펴 본다.
- <40> 콘택홀에 의해 노출된 활성영역(25)은 금속배선 또는 비트라인과 콘택되는 바, 전처리 과정으로 세정공정을 실시한다. 이 때 주로 사용하는 케미컬로는 완충산화막식각제(Buffered Oxide Etchant; 이하 BOE라 함) 또는 불산(HF)를 사용하며, 건식세정일 경우에는  $NF_3$ 나  $C_xF_y$  가스를 사용한다.

- <41> 이어서, 노출된 활성영역(25)에만 선택적으로 어택방지막(27)을 형성하는 바, 어택방지막(27)은 실리콘 또는 Ti를 포함하며 도전성이고 증착 특성이 우수한 폴리실리콘막 또는 TiN막을 사용하는 것이 바람직하다.
- <42> 먼저, 폴리실리콘막을 어택방지막(27)으로 사용하는 경우에는 CVD 방식에 의해  $\text{Si}_2\text{H}_6/\text{Cl}/\text{H}_2$ 를 소스가스로 사용하고, 온도를  $600^\circ\text{C} \sim 700^\circ\text{C}$ 로 압력을  $0.1\text{mTorr} \sim 1.0\text{mTorr}$ 의 초고진공(Ultra high vacuum)로 유지하며 형성하는 바, 폴리실리콘막은 후속 Ti막 증착시 Cl가스에 의한 실리콘 기판(20)의 어택을 방지할 뿐만아니라 전도성이고,  $\text{TiSi}_2$  형성시에도 실리콘 소스로서 사용가능하다.
- <43> 이어서, TiN막을 어택방지막(27)으로 사용하는 경우에도 CVD 방식을 적용하는 바, 구체적으로 살펴보면, 전술한  $\text{TiCl}_4$  소스가스에  $\text{NH}_3$  가스를 첨가하여 후속 Ti막 증착과 동일 챔버에서 형성하며, 어택방지막(27)으로 TiN막 또는 폴리실리콘막을 사용할 경우 모두  $50\text{\AA}$  내지  $200\text{\AA}$  두께로 형성하는 것이 바람직하며 TiN막일 경우는 폴리실리콘막보다 얇게 하는 것이 바람직하다.
- <44> 한편, TiN막 또는 폴리실리콘막을 이용하여 어택방지막을 형성할 경우 모두 소스가스에 Cl기를 포함하므로 막내에 Cl기가 존재하게 된다. 따라서, 이를 제거하는 추가의 공정이 필요하다.
- <45> 이러한 Cl기를 제거하는 방법으로는, 첫번째로  $\text{H}_2$ 가스를 이용한 환원공정을 실시하여 제거하는 방법과 두번째로 실리콘과 Cl이 반응하여 결합된  $\text{SiCl}$ 의 결합에너지(Bonding energy)보다 큰 자외선(Ultra Violet light)을 조사하여 Cl과 실리콘을 결합을 끊어서 제거하는 방법이 있다.

- <46> 한편, 전술한 두가지 방법을 각각 또는 차례로 반복하여 사용하거나 동시에 사용할 수도 있다.
- <47> 따라서, 어택방지막(27)에 의해 후속 Ti막 형성시 실리콘 기판(20) 구체적으로 활성영역(25)의 어택을 방지하며, Cl에 의한 표면 거칠기 열화를 방지하여 누설전류 특성을 향상시킬 수 있다.
- <48> 이어서, CVD방식을 이용하여 콘택홀이 형성된 프로파일을 따라 Ti막(28)을 증착한 다음, TiN막(29)을 증착하고 Ti막(28)과 하부의 실리콘(실리콘 기판(20) 또는 폴리실리콘 어택방지막)과의 반응에 의해  $\text{TiSi}_2$ 막(30)을 형성하여 오믹콘택을 이루게 된다. 여기서 Ti막(28)/TiN막(29)는 배리어금속막 역할을 한다.
- <49> Ti막(28)의 형성은 저압화학기상증착(Low Pressure Chemical Vapor Deposition; 이하 LPCVD라 함)방식을 이용하는 바, 1Torr ~ 50Torr의 압력 및  $300^\circ\text{C}$  ~  $700^\circ\text{C}$ 의 온도 하에서  $\text{TiCl}_4$  가스에  $\text{NH}_3$ 와  $\text{H}_2$  및 Ar 가스를 더 첨가하며 이 때,  $\text{NH}_3/\text{Ar}$ 의 플로우(Flow) 비가 1 ~ 5의 조건 하에서 실시한다.
- <50> 이 때의 온도는 전술한  $300^\circ\text{C}$  ~  $700^\circ\text{C}$ 의 범위에서 가능하나, 가장 바람직하게는  $600^\circ\text{C}$  ~  $700^\circ\text{C}$ 의 온도 범위가 적당하다.
- <51> TiN막(29)의 형성은 Ti막(28)과 같이 LPCVD방식을 이용하는 바, 동일 챔버 내에서 인-시튜(In-situ)로 실시하할 수도 있다. 이 때 챔버의 압력을 1Torr ~ 50Torr으로, 온도를  $600^\circ\text{C}$  ~  $700^\circ\text{C}$ 로 하며,  $\text{TiCl}_4$  소스가스에  $\text{NH}_3$ 와  $\text{H}_2$  및 Ar 가스를 더 첨가하며 이 때,  $\text{NH}_3/\text{Ar}$ 의 플로우 비가 8 ~ 15의 조건 하에서 실시한다.

- <52> 한편,  $\text{TiSi}_2$ (30)의 형성은 Ti(28)막의 형성이나 TiN막(29)의 형성시에 동시에 형성 되도록 할 수 있으며, 후속 금속배선 또는 비트라인 등의 형성후 별도의 열처리를 통해 형성할 수 있다.
- <53> 이 때, Ti막(28)과 TiN막(29)의 형성시 그 증착 온도를  $300^\circ\text{C}$  이하로 했을 때, Ti막(28) 증착 후나 TiN막(29) 증착 후 또는 금속배선 등의 형성 후 별도의 열처리를 실시하는 것이 바람직한 바, 이 경우에는  $700^\circ\text{C} \sim 900^\circ\text{C}$ 의 온도 범위에서 급속열처리(Rapid Thermal Process; 이하 RTP라 함)를 실시한느 것이 바람직하다.
- <54> 한편, Ti막(28)과 TiN막(29) 형성시에  $\text{TiCl}_4$  소스가스는  $25^\circ\text{C}$  정도로 기화된 것을 사용한다.
- <55> 이어서, 전술한 막내의 Cl기를 제거하기 위한 공정을 추가로 실시한다.
- <56> 계속해서, Ti막(28)/TiN막(29)의 적층된 배리어금속막 상에 CVD 또는 CVD와 PVD 방식을 모두 사용하여 텅스텐 등의 금속배선(31)을 형성한다.
- <57> 도 4b는 금속배선(31) 형성이 완료된 공정 단면을 도시한다.
- <58> 전술한 바와 같이 이루어지는 본 발명은,  $\text{TiCl}_4$  가스를 이용한 Ti막 형성 공정에서의 단점을 보완하기 위해 Ti막 증착 전에 콘택홀 저면에만 선택적으로 폴리실리콘막 또는 TiN막의 어택방지막을 형성함으로써,  $\text{TiCl}_4$  소스가스를 이용한 Ti막 형성 공정에서의 실로콘 기판의 손실을 대체하도록 함으로써 반도체소자의 동작과 수율을 향상시킬 수 있다.



<59> 또한, 향후 반도체소자의 트랜지스터 형성과 관련하여 소스/드레인 접합을 얇게 (Shallow) 콘택 깊이는 깊어지게 되어 CVD 방식의 Ti막 형성 공정의 필요성이 대두되는 바, 본 발명에 의하면 콘택홀 내에서만 선택적으로 어택방지막을 형성함으로써  $\text{TiCl}_4$  소스가스를 이용한 CVD 방식의 Ti막 형성 공정의 안정화와  $\text{TiCl}_4$  가스와  $\text{NH}_3$  가스의 유량을 조절하여 Ti/TiN의 배리어금속막을 연속으로 증착하여 공정의 단순화도 기할 수 있음을 실시예를 통해 알아 보았다.

<60> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<61> 상술한 바와 같은 본 발명은, Ti막 형성에 따른 하부 실리콘층의 어택을 방지하고, Ti/TiN의 배리어금속막 증착시 공정단순화를 기할 수 있어, 반도체소자의 수율 및 생산성을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

**【특허청구범위】****【청구항 1】**

실리콘층 상에  $\text{TiCl}_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성함에 있어서, 상기 Ti막과 상기 실리콘층 사이에 Cl 가스에 의한 상기 실리콘층의 어택 방지를 위한 전도성의 어택방지막을 형성하는 것을 특징으로 하는 반도체소자의 Ti막 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 어택방지막은 폴리실리콘막임을 특징으로 하는 반도체소자의 Ti막 형성방법.

**【청구항 3】**

제 2 항에 있어서,

상기 어택방지막을 형성하는 단계에서,

$\text{Si}_2\text{H}_6/\text{Cl}/\text{H}_2$ 를 소스가스로 사용하는 것을 특징으로 하는 반도체소자의 Ti막 형성 방법.

**【청구항 4】**

제 3 항에 있어서,

상기 어택방지막을 형성하는 단계는 600℃ 내지 700℃의 온도 및 0.1mTorr 내지 1.0mTorr의 압력 하에서 실시하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법.

【청구항 5】

제 1 항 또는 제 3 항에 있어서,

상기 Ti막 및 상기 어택방지막을 형성하는 단계 후, 막내에 잔류하는 Cl기를 제거하기 위해 H<sub>2</sub>가스를 이용한 환원공정을 실시하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법.

【청구항 6】

제 1 항 또는 제 3 항에 있어서,

상기 Ti막 및 상기 어택방지막을 형성하는 단계 후, 막내에 잔류하는 Cl기를 제거하기 위해 SiCl의 결합에너지보다 큰 에너지의 자외선을 조사하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법.

【청구항 7】

제 1 항에 있어서,

상기 어택방지막은 TiN막임을 특징으로 하는 반도체소자의 Ti막 형성방법.

**【청구항 8】**

제 7 항에 있어서,

상기 어택방지막을 형성하는 단계에서,

상기  $\text{TiCl}_4$  소스가스에  $\text{NH}_3$  가스를 첨가하여 상기 Ti 막과 동일 챔버에서 실시하는 것을 특징으로 하는 반도체소자의 Ti 막 형성방법.

**【청구항 9】**

제 2 항 또는 제 7 항에 있어서,

상기 어택방지막은 50Å 내지 200Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 Ti 막 형성방법.

**【청구항 10】**

제 1 항에 있어서,

상기 Ti 막을 형성하는 단계에서,

1Torr 내지 50Torr의 압력 및 600℃ 내지 700℃의 온도 하에서 저압화학기상증착방식을 이용하는 것을 특징으로 하는 반도체소자의 Ti 막 형성방법.

**【청구항 11】**

제 10 항에 있어서,

상기 Ti 막을 형성하는 단계는,

상기  $\text{TiCl}_4$  가스에  $\text{NH}_3$ 와  $\text{H}_2$  및 Ar 가스를 더 첨가하며 이 때,  $\text{NH}_3/\text{Ar}$ 의 비가 1 내지 5의 조건 하에서 실시하는 것을 특징으로 하는 반도체소자의 Ti막 형성방법.

【청구항 12】

활성영역을 갖는 실리콘 기판 상의 절연막을 선택적으로 식각하여 상기 활성영역을 노출시키는 콘택홀을 형성하는 단계;

상기 노출된 활성영역 상에 후속 Ti막 형성에 따른 상기 실리콘 기판의 어택 방지를 위해 전도성의 어택방지막을 형성하는 단계;

상기 어택방지막이 형성된 프로파일을 따라  $\text{TiCl}_4$  소스가스를 사용하는 화학기상증착방식에 의해 Ti막을 형성하는 단계; 및

상기 Ti막 상에 TiN막을 형성하는 단계

를 포함하는 반도체소자의 배리어금속막 형성방법.

【청구항 13】

제 12 항에 있어서,

상기 어택방지막은 폴리실리콘막임을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 14】

제 13 항에 있어서,

상기 어택방지막을 형성하는 단계에서,

$\text{Si}_2\text{H}_6/\text{Cl}/\text{H}_2$ 를 소스가스로 사용하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 15】

제 14 항에 있어서,

상기 어택방지막을 형성하는 단계는  $600^\circ\text{C}$  내지  $700^\circ\text{C}$ 의 온도 및  $0.1\text{mTorr}$  내지  $1\text{mTorr}$ 의 압력 하에서 실시하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 16】

제 12 항에 있어서,

상기 어택방지막은  $\text{TiN}$ 막임을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 17】

제 16 항에 있어서,

상기 어택방지막을 형성하는 단계에서,

상기  $\text{TiCl}_4$  소스가스에  $\text{NH}_3$  가스를 첨가하여 상기  $\text{Ti}$ 막과 동일 챔버에서 실시하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 18】

제 16 항에 있어서,

상기 어택방지막은 10Å 내지 100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 배리어금속막 형성방법.

【청구항 19】

제 12 항에 있어서,

상기 Ti막을 형성하는 단계에서,

1Torr 내지 50Torr의 압력 및 600℃ 내지 700℃의 온도하에서 저압화학기상증착방식을 이용하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 20】

제 19 항에 있어서,

상기 Ti막을 형성하는 단계는,

상기  $TiCl_4$  소스가스에  $NH_3$ 와  $H_2$  및 Ar 가스를 더 첨가하며 이 때,  $NH_3/Ar$ 의 플로우 비가 1 내지 5의 조건 하에서 실시하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 21】

제 12 항에 있어서,

상기 TiN막을 형성하는 단계에서,

1Torr 내지 50Torr의 압력 및 600℃ 내지 700℃의 온도하에서 저압화학기상증착방식을 이용하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 22】

제 21 항에 있어서,

상기 TiN막을 형성하는 단계는,

상기  $TiCl_4$  소스가스에  $NH_3$ 와  $H_2$  및 Ar 가스를 더 첨가하며 이 때,  $NH_3/Ar$ 의 플로우 비가 8 내지 15의 조건 하에서 실시하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 23】

제 20 항 또는 제 22 항에 있어서,

상기 Ti막을 형성하는 단계와 상기 TiN막을 형성하는 단계를 동일 챔버에서 실시하는 것을 특징으로 하는

【청구항 24】

제 12 항에 있어서,



상기 Ti막을 형성하는 단계 후, 상기 실리콘 기판과 상기 Ti막의 반응을 유발하여 Ti 실리사이드를 형성하기 위해 700℃ 내지 900℃의 온도에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 25】

제 12 항에 있어서,

상기 TiN막을 형성하는 단계 후,

상기 실리콘 기판과 상기 Ti막의 반응을 유발하여 Ti 실리사이드를 형성하기 위해 700℃ 내지 900℃의 온도에서 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【청구항 26】

제 12 항 또는 제 14 항 또는 제 20 항에 있어서,

상기 Ti막과 상기 TiN막 및 상기 어택방지막을 형성하는 단계 후,

막내에 잔류하는 Cl기를 제거하기 위해 H<sub>2</sub>가스를 이용한 환원공정을 실시하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

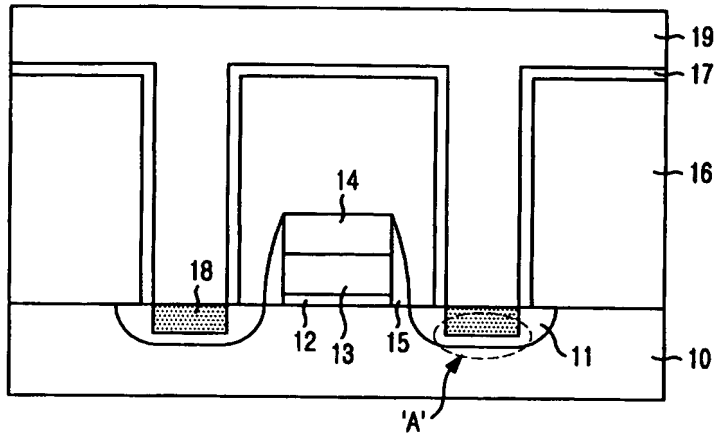
【청구항 27】

제 12 항 또는 제 14 항 또는 제 20 항에 있어서,

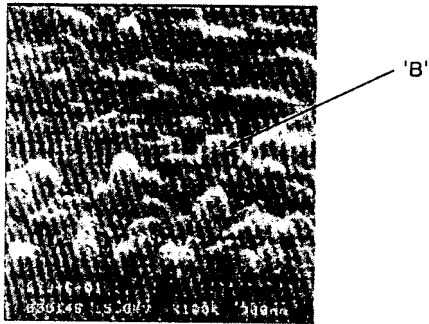
상기 Ti막 및 상기 어택방지막을 형성하는 단계 후, 막내에 잔류하는 Cl기를 제거하기 위해 SiCl의 결합에너지보다 큰 에너지의 자외선을 조사하는 것을 특징으로 하는 반도체소자의 배리어금속막 형성방법.

【도면】

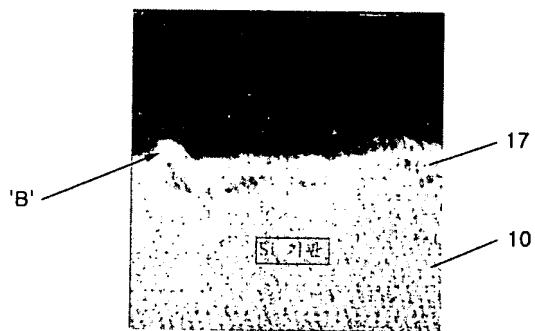
【도 1】



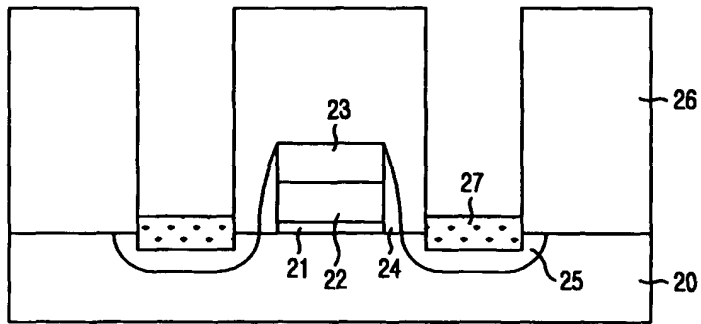
【도 2】



【도 3】



【도 4a】



【도 4b】

